

#3/Prior.h
D1C-15
575/02

Docket No.: 50090-473

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Shunichi ABE, et al. :
Serial No.: Group Art Unit:
Filed: March 06, 2002 Examiner:
For: SEMICONDUCTOR DEVICE, METHOD OF FABRICATING THE SAME AND
SEMICONDUCTOR DEVICE FABRICATING APPARATUS

JC979 U.S. PTO
10/090842
03/06/02

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

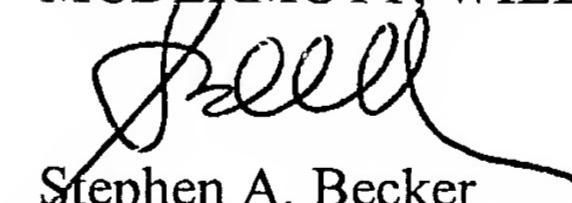
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-273082, filed September 10, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mlw
Date: March 6, 2002
Facsimile: (202) 756-8087

日本国特許庁
JAPAN PATENT OFFICE

50090-473#3
Shunichi ABE et al.
March 6, 2002

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 9月10日

出願番号
Application Number:

特願2001-273082

出願人
Applicant(s):

三菱電機株式会社

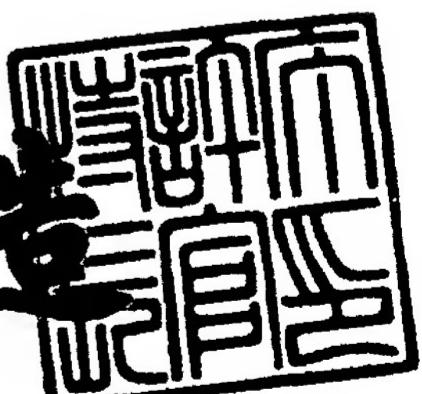
JCP979 U.S. PRO
10/090842
03/06/02



2001年 9月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3086695

【書類名】 特許願

【整理番号】 533518JP01

【提出日】 平成13年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 阿部 俊一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 上林 哲也

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 和泉 直生

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 山崎 晓

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、製造装置、及び、半導体装置

【特許請求の範囲】

【請求項1】 ダイボンダ内に複数のウエハを載置する工程と、
上記ダイボンダ内にて、上記複数のウエハからそれぞれ切り出した複数のチップを、ダイボンド材を介して、接合する工程と、
上記ダイボンダ内にて、上記接合工程にて積層された複数のチップを、ダイボンド材を介して、ダイパッド上に接合する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 上記積層された複数のチップ上にさらに単数又は複数のチップを積層する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 上記複数のチップが積層された上記ダイパッドの積層面の裏面に、さらに単数又は複数のチップを積層する工程を含むことを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】 上記ダイボンダは予備ステージを備え、
上記予備ステージは、上記チップとの対向面が上記ダイボンド材と接合しないように形成されたことを特徴とする請求項1～請求項3のいずれかに記載の半導体装置の製造方法。

【請求項5】 請求項1～請求項4のいずれかに記載の半導体装置の製造方法で製造したことを特徴とする半導体装置。

【請求項6】 複数のウエハをそれぞれ保持する複数のウエハ保持部と、
上記複数のウエハ保持部に保持された上記複数のウエハから複数のチップをそれぞれ切り出して搬送するチップ搬送部と、
上記チップ搬送部にて搬送された上記複数のチップを積層して、ダイボンド材を介して接合するための予備ステージと、
上記予備ステージ上で接合された上記複数のチップを、上記予備ステージからダイパッド上に搬送する積層チップ搬送部と、
上記積層チップ搬送部にて搬送された上記複数のチップを、ダイボンド材を介

して上記ダイパッド上に接合するためのステージとを備えたことを特徴とする半導体装置の製造装置。

【請求項 7】 上記予備ステージは、上記チップとの対向面が上記ダイボンド材と接合しないように形成されたことを特徴とする請求項 6 に記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、チップが積層された半導体装置の製造方法、製造装置、及び、半導体装置に関するものである。

【0002】

【従来の技術】

従来から、半導体装置の高集積化を目的として、1つのダイパッド上に種類の異なる複数のチップが積層された半導体装置が開発されている。

以下、図3にて、従来の半導体装置の製造方法について、簡単に説明する。図3は、従来の半導体装置の製造方法のフロー図である。

【0003】

同図において、1a、1bはダイシングされたチップを有するウエハ、3a、3bはウエハ1a、1b上のチップ、5a、5bはチップ3a、3bをダイパッド12上に搬送するコレット、7aはチップ3aとチップ3bとの間に設けられたダイボンド材、7bはチップ3bとダイパッド12との間に設けられたダイボンド材、12はステージ上に載置されたダイパッド、15はチップ3a、3bが積層された半導体装置、20a、20bはそれぞれ半導体装置の製造装置としてのダイボンダを示す。

【0004】

同図に示すように、まず、第1のダイボンダ20a内の図示せぬウエハ保持部に、第1のウエハ1bが載置される。ここで、第1のダイボンダ20a内には、第1のウエハ1bを複数枚搭載した図示せぬウエハカセットが、挿脱自在に設置されている。そして、第1のウエハ1bは、ウエハカセットからウエハ保持部に

、ウエハ搬送部により搬送されたものである。

【0005】

次に、ダイシングされたウエハ1 b上のチップ3 bを、コレット5 aにより、1つピックアップする。そして、裏面にフィルム状のダイボンド材7 bが形成されたチップ3 bを、コレット5 aにより、ダイパッド1 2を備えたリードフレームを保持するステージ上に搬送する。

【0006】

そして、ステージを加熱するとともに、コレット5 aを図中の矢印方向に移動して、チップ3 bをダイパッド1 2に圧接することで、チップ3 bは、ダイパッド1 2に接合される。

このように、第1のチップ3 bが接合されたダイパッド1 2は、第1のダイボンダ20 aの装置外に搬送される。

【0007】

次に、第1のダイボンダ20 aの外に搬送されたチップ3 bを搭載したダイパッド1 2は、第2のダイボンダ20 b内の図示せぬステージに搬送される。

他方、第2のダイボンダ20 b内の図示せぬウエハ保持部には、第2のウエハ1 aが載置される。ここで、第2のダイボンダ20 b内には、第2のウエハ1 aを複数枚搭載した図示せぬウエハカセットが、挿脱自在に設置されている。そして、第2のウエハ1 aは、ウエハカセットからウエハ保持部に、ウエハ搬送部により搬送されたものである。また、第2のウエハ1 aは、第1のウエハ1 bとは異なるウエハである。すなわち、第2のウエハ1 a上に形成された第2のチップ3 aと、第1のウエハ1 b上に形成された第1のチップ3 bとには、それぞれ別の素子や回路が形成されており、そのチップの大きさも異なる。

【0008】

次に、ダイシングされたウエハ1 a上のチップ3 aを、コレット5 bにより、1つピックアップする。そして、裏面にフィルム状のダイボンド材7 aが形成されたチップ3 aを、コレット5 bにより、ダイパッド1 2を備えたリードフレームを保持するステージ上に搬送する。

【0009】

そして、ステージを加熱するとともに、コレット5bを図中の矢印方向に移動して、チップ3aをダイパッド12上のチップ3bに圧接することで、第2のチップ3aは、第1のチップ3bに接合される。

こうして、ダイパッド12上には、2つの異なるチップ3a、3bが積層される。

【0010】

【発明が解決しようとする課題】

上述の従来の半導体装置の製造方法では、ダイパッドに積層されるチップの数と同数のダイボンダが必要となっていた。

詳しくは、ダイパッドへの下段のチップのボンディング工程は、第1のダイボンダで行われ、下段のチップへの上段のチップのボンディング工程は、第2のダイボンダで行われる。すなわち、1つのボンディング工程ごとに、1台のダイボンダを必要としていた。

【0011】

これは、1台のダイボンダで複数のボンディング工程を実施しようとすると、各工程間でダイボンダの段取り変更を行わなければならず、装置の稼働率が低下してしまうからである。

このように、異なるボンディング工程ごとに、ダイボンダを用意すれば、装置の稼働率を向上することができる。しかし、それでもなお、ダイパッドを、1つのダイボンダから別のダイボンダへと移動させる工程には、比較的時間を要するという問題があり、これが量産性向上の妨げになっていた。

さらに、複数のダイボンダを用意しているために、全体の設備の規模も大きくなり、設備費も高くなるという問題があった。

【0012】

この発明は、上述のような課題を解決するためになされたもので、複数のチップが積層される半導体装置の積層工程における工程時間が短く、設備の規模が比較的小さく、設備費も比較的低廉な半導体装置の製造方法、製造装置、及び、半導体装置を提供することにある。

【0013】

【課題を解決するための手段】

この発明の請求項1記載の発明にかかる半導体装置の製造方法は、ダイボンダ内に複数のウエハを載置する工程と、上記ダイボンダ内にて、上記複数のウエハからそれぞれ切り出した複数のチップを、ダイボンド材を介して、接合する工程と、上記ダイボンダ内にて、上記接合工程にて積層された複数のチップを、ダイボンド材を介して、ダイパッド上に接合する工程とを備えたものである。

【0014】

また、請求項2記載の発明にかかる半導体装置の製造方法は、上記請求項1記載の発明において、上記積層された複数のチップ上にさらに単数又は複数のチップを積層する工程を含むものである。

【0015】

また、請求項3記載の発明にかかる半導体装置の製造方法は、上記請求項1又は請求項2に記載の発明において、上記複数のチップが積層された上記ダイパッドの積層面の裏面に、さらに単数又は複数のチップを積層する工程を含むものである。

【0016】

また、請求項4記載の発明にかかる半導体装置の製造方法は、上記請求項1～請求項3のいずれかに記載の発明において、上記ダイボンダは予備ステージを備え、上記予備ステージは、上記チップとの対向面が上記ダイボンド材と接合しないように形成されたものである。

【0017】

また、この発明の請求項5記載の発明にかかる半導体装置は、請求項1～請求項4のいずれかに記載の半導体装置の製造方法で製造したものである。

【0018】

また、この発明の請求項6記載の発明にかかる半導体装置の製造装置は、複数のウエハをそれぞれ保持する複数のウエハ保持部と、上記複数のウエハ保持部に保持された上記複数のウエハから複数のチップをそれぞれ切り出して搬送するチップ搬送部と、上記チップ搬送部にて搬送された上記複数のチップを積層して、ダイボンド材を介して接合するための予備ステージと、上記予備ステージ上で接

合された上記複数のチップを、上記予備ステージからダイパッド上に搬送する積層チップ搬送部と、上記積層チップ搬送部にて搬送された上記複数のチップを、ダイボンド材を介して上記ダイパッド上に接合するためのステージとを備えたこととを特徴とする半導体装置の製造装置。

【0019】

また、請求項7記載の発明にかかる半導体装置の製造方法は、上記請求項6に記載の発明において、上記予備ステージは、上記チップとの対向面が上記ダイボンド材と接合しないように形成されたものである。

【0020】

【発明の実施の形態】

以下に、この発明の実施の形態について図面を参照して詳細に説明する。なお、各図中、同一または相当する部分には同一の符号を付しており、その重複説明は適宜に簡略化ないし省略する。

【0021】

実施の形態。

以下、この発明の実施の形態を図面に基づいて詳細に説明する。図1は、この発明の実施の形態を示す半導体装置の製造方法のフロー図である。また、図2は、この発明の実施の形態を示す半導体装置の製造装置の概略図である。

図1、図2において、1a、1bはダイシングされたチップを有するウエハ、3a、3bはウエハ1a、1b上のチップ、5aは2つのチップ3a、3bをそれぞれ予備ステージ上に搬送するコレット、5bは積層されたチップ3a、3bをダイパッド上に搬送するコレット、7aはチップ3aとチップ3bとの間に設けられたダイボンド材、7bはチップ3bとダイパッド12との間に設けられたダイボンド材、10はチップ3aとチップ3bとを積層するための予備ステージ、11はダイボンド7aを介して接合されたチップ3aとチップ3bとの積層チップ、12はステージ上に載置されたダイパッド、15はチップ3a、3bが積層された半導体装置、17はダイパッド12を備えたリードフレーム、20は半導体装置の製造装置としてのダイボンダを示す。

【0022】

図1に示すように、まず、ダイボンダ20内の図示せぬ第1のウエハ保持部に、第1のウエハ1aが載置される。他方、ダイボンダ20内の図示せぬ第2のウエハ保持部に、第2のウエハ1bが載置される。ここで、ダイボンダ20内には、第1のウエハ1aを複数枚搭載した図示せぬ第1のウエハカセットと、第2のウエハ1bを複数枚搭載した図示せぬ第2のウエハカセットとが、それぞれ、挿脱自在に設置されている。そして、第1のウエハ1aは第1のウエハカセットから第1のウエハ保持部に、第2のウエハ1bは第2のウエハカセットから第2のウエハ保持部に、ウエハ搬送部により搬送されたものである。

【0023】

次に、第2のウエハ1b上のチップ3bを、コレット5aにより、1つピックアップする。そして、裏面にフィルム状のダイボンド材7bが予め形成されたチップ3bを、コレット5aにより、予備ステージ10上の所定位置に搬送する。

その後、第1のウエハ1a上のチップ3aを、コレット5aにより、1つピックアップする。そして、裏面にフィルム状のダイボンド材7aが予め形成されたチップ3aを、コレット5aにより、予備ステージ10に載置されたチップ3b上に搬送する。

【0024】

そして、予備ステージ10を加熱するとともに、コレット5aを図中の矢印方向に移動して、一方のチップ3aを他方のチップ3bに圧接することで、双方のチップ3a、3bは接合されて積層チップ11を形成する。

ここで、予備ステージ10の表面（チップ3bとの接触面である。）には、例えば、ダイボンド7bに対する接合性の悪い材料がコーティングされている。これにより、予備ステージ10を加熱して、コレット5aによる加圧をすることで、2つのチップ3a、3bのみが接合され、チップ3bと予備ステージ10とは接合されないことになる。

【0025】

次に、予備ステージ10上の積層チップ11を、コレット5bにより、ダイパッド12が載置された図示せぬステージ上に向けて搬送する。

そして、ステージを加熱するとともに、コレット5bを図中の矢印方向に移動

して、積層チップ11をダイパッド12に圧接することで、積層チップ11はダイパッド12に接合されて半導体装置15を形成する。

ここで、ダイパッド12は、図2に示すリードフレーム17上に複数設けられており、リードフレーム17がステージ上を図中の矢印方向に移動して、上述の工程が繰り返されることで、複数のダイパッド12に次々と積層チップ11が接合されることになる。

【0026】

なお、本実施の形態における半導体装置の製造装置としてのダイボンダ20は、主として、複数のウェハ保持部と、チップ搬送部としてのコレット5aと、予備ステージ10と、積層チップ搬送部としてのコレット5bと、ダイパッド12を載置するステージとによって、構成されるものである。

そして、このようなダイボンダ20内で、ダイパッド12上にチップ3a、3bが積層された半導体装置15は、その後、ワイヤボンディング工程、パッケージ工程等を経て、最終的な製品としての半導体装置の形態を完成させることになる。

【0027】

以上説明したように、本実施の形態における半導体装置の製造方法は、ダイボンダ20内に、複数のチップ3a、3bを積層するためにステージとは異なる予備ステージ10を設けているために、1台のダイボンダ20内で、複数のチップ3a、3bをダイパッド12上に積層することができる。これによって、複数のチップ3a、3bを積層する積層工程における工程時間が短くなり全体の生産性が向上するとともに、設備の規模が比較的小さくなり、設備費を比較的安くすることができる。

【0028】

なお、本実施の形態では、チップ3aの裏面に形成されるダイボンド材7aや、チップ3bの裏面に形成されるダイボンド材7bとして、フィルム状のダイボンド材を用いた。これに対して、ダイボンド7a、7bとして、ペースト状のダイボンド材を用いる場合についても、本発明を適用することができる。その場合には、ダイボンド7aは、接合前に、予めチップ3bにおけるチップ3aとの対

向面側に形成される。また、ダイボンド7bは、接合前に、予めダイパッド12における積層チップ11との対向面側に形成される。このように、ペースト状のダイボンド材を用いたときでも、本実施の形態と同様の効果を奏することになる。

【0029】

また、本実施の形態では、チップ搬送部としてのコレット5aと、積層チップ搬送部としてのコレット5bとを、別々の部材として構成したが、同一部材とすることもできる。

また、本実施の形態では、2つのウェハ1a、1bから予備ステージ10へのそれぞれのチップ3a、3bの搬送を、1つのコレット5aにて行ったが、それぞれのチップ3a、3bごとにコレットを用意して、2つのコレットにより搬送工程を行うこともできる。

【0030】

さらに、本実施の形態では、2つのウェハ1a、1bを、ダイボンダ20内に載置したが、それよりも多いウェハを装置内に載置することもできる。この場合、予備ステージ10上にて、ウェハの数に応じた複数のチップを積層した後に、ダイパッド12上にその積層チップを搬送することになる。

また、本実施の形態により、積層されるチップ3a、3bは、同一種類のチップであってもよいし、異なる種類のチップであってもよい。

【0031】

また、本実施の形態で示した工程によりチップ3a、3bが積層された半導体装置15上に、さらに単数又は複数のチップを積層することができる。例えば、チップ3a、3bが積層された半導体装置15に対して、本実施の形態で示した工程を繰り返して行うことができる。具体的には、半導体装置15を、さらにダイボンダ20に設置して、その上に予備ステージ10で積層された積層チップ11を接合する。この場合にも、本実施の形態と同様の効果を奏することになる。

【0032】

また、本実施の形態で示した工程によりチップ3a、3bが積層された半導体装置15の積層面の裏面に、さらに単数又は複数のチップを積層することができ

る。例えば、チップ3a、3bが積層された半導体装置15に対して、本実施の形態で示した工程を繰り返して行うことができる。具体的には、チップ3a、3bが積層されたダイパッド12の積層面の裏面にチップを積層する。すなわち、チップ3a、3bが積層された半導体装置15を、逆さまにして、裏面側が上方を向くようにダイボンダ20のステージに載置する。そして、半導体装置15の裏面上に、予備ステージ10で積層された積層チップ11を接合することができる。この場合にも、本実施の形態と同様の効果を奏すことになる。

【0033】

なお、本発明が上記実施の形態に限定されず、本発明の技術思想の範囲内において、実施の形態の中で示唆した以外にも、実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。

【0034】

【発明の効果】

本発明は以上のように構成されているので、複数のチップを積層する積層工程の時間が短く生産性の高い、設備の規模が比較的小さく、設備費が比較的低廉な半導体装置の製造方法、製造装置、及び、半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態を示す半導体装置の製造方法のフロー図である。

【図2】 この発明の実施の形態を示す半導体装置の製造装置の概略図である。

【図3】 従来の半導体装置の製造方法のフロー図である。

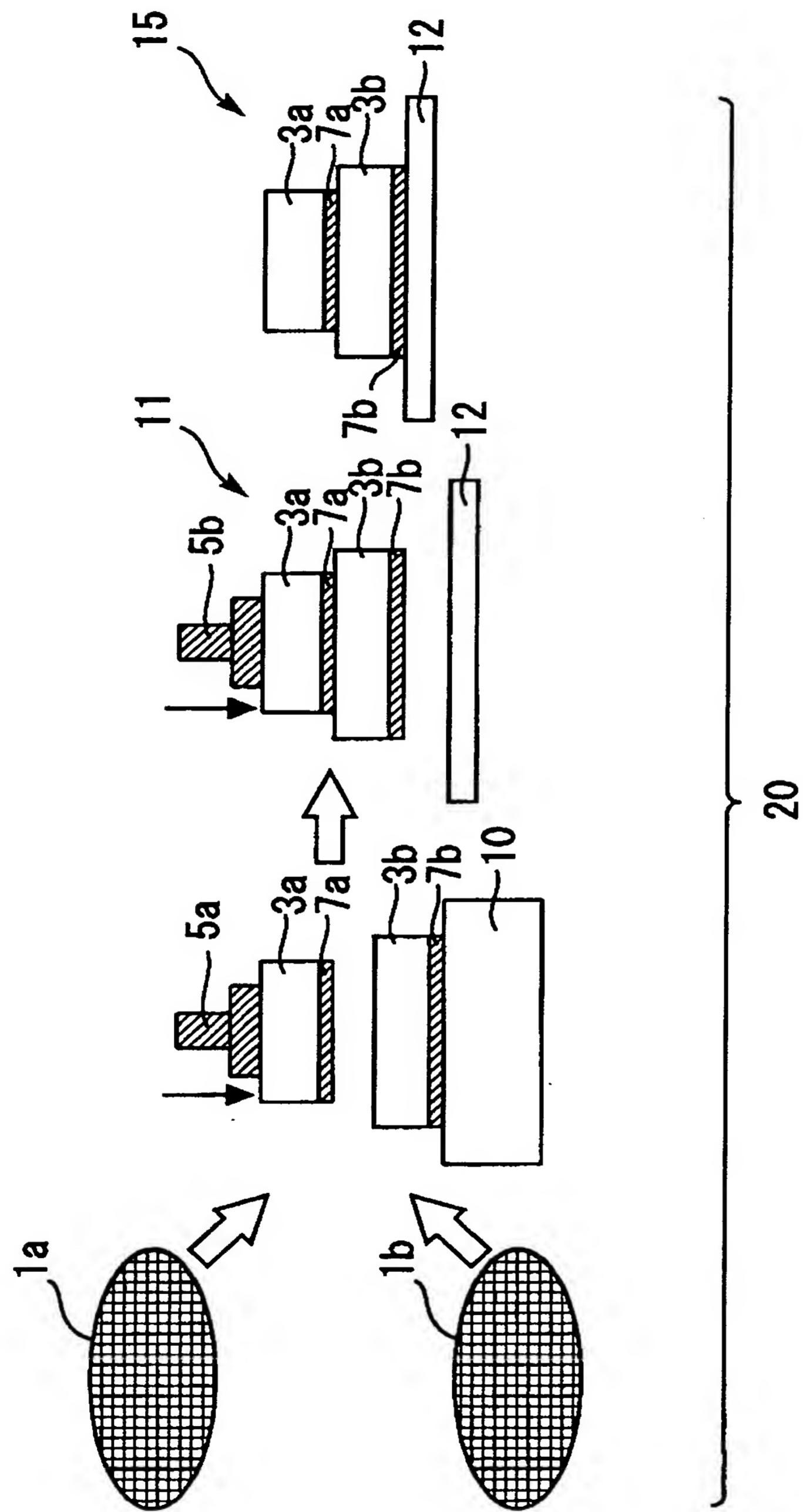
【符号の説明】

1a、1b ウエハ、 3a、3b チップ、 5a、5b コレット、
 7a、7b ダイボンド材、 10 予備ステージ、 11 積層チップ
 、 12 ダイパッド、 15 半導体装置、 17 リードフレーム、
 20、20a、20b ダイボンダ。

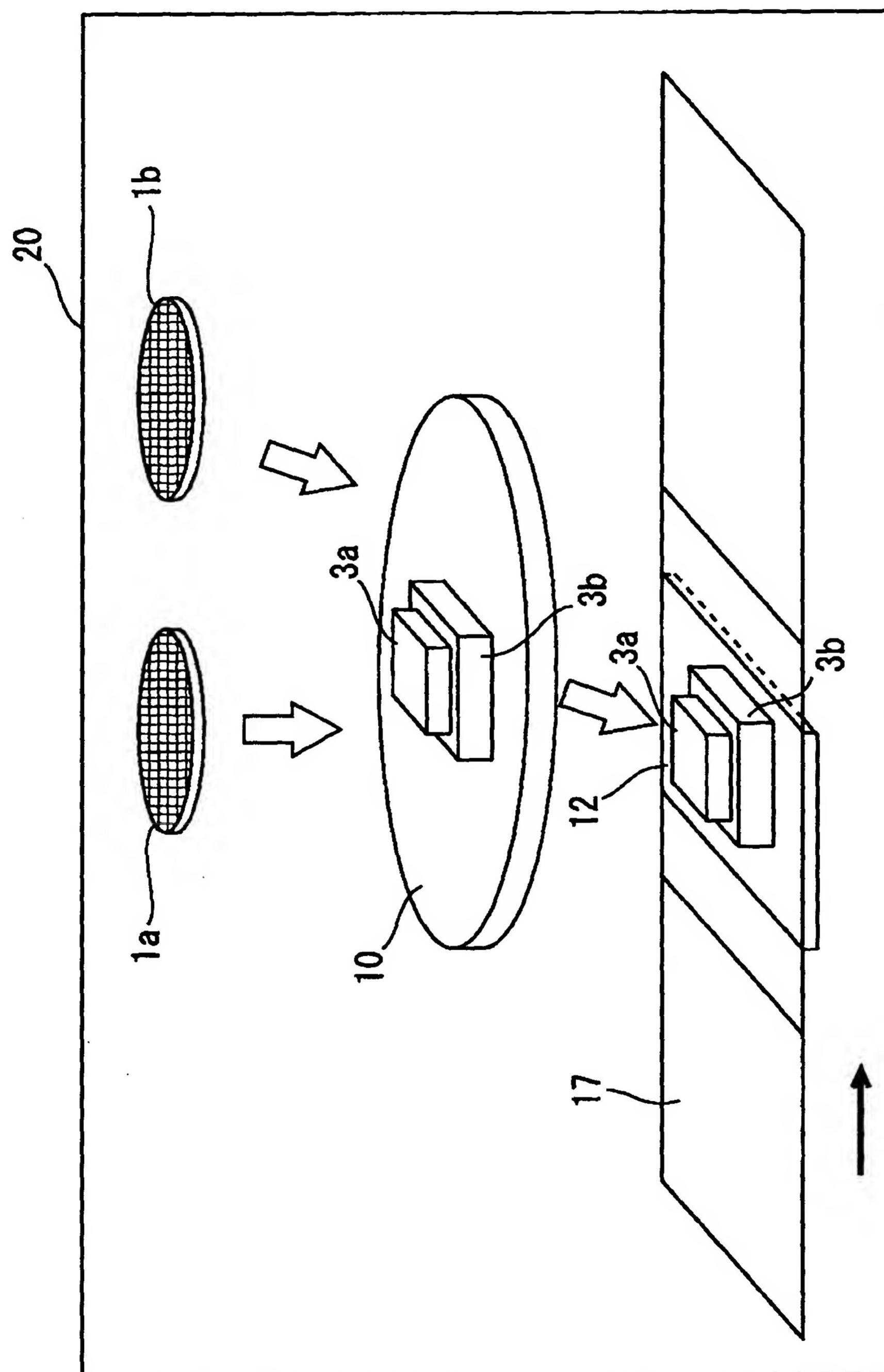
【書類名】

図面

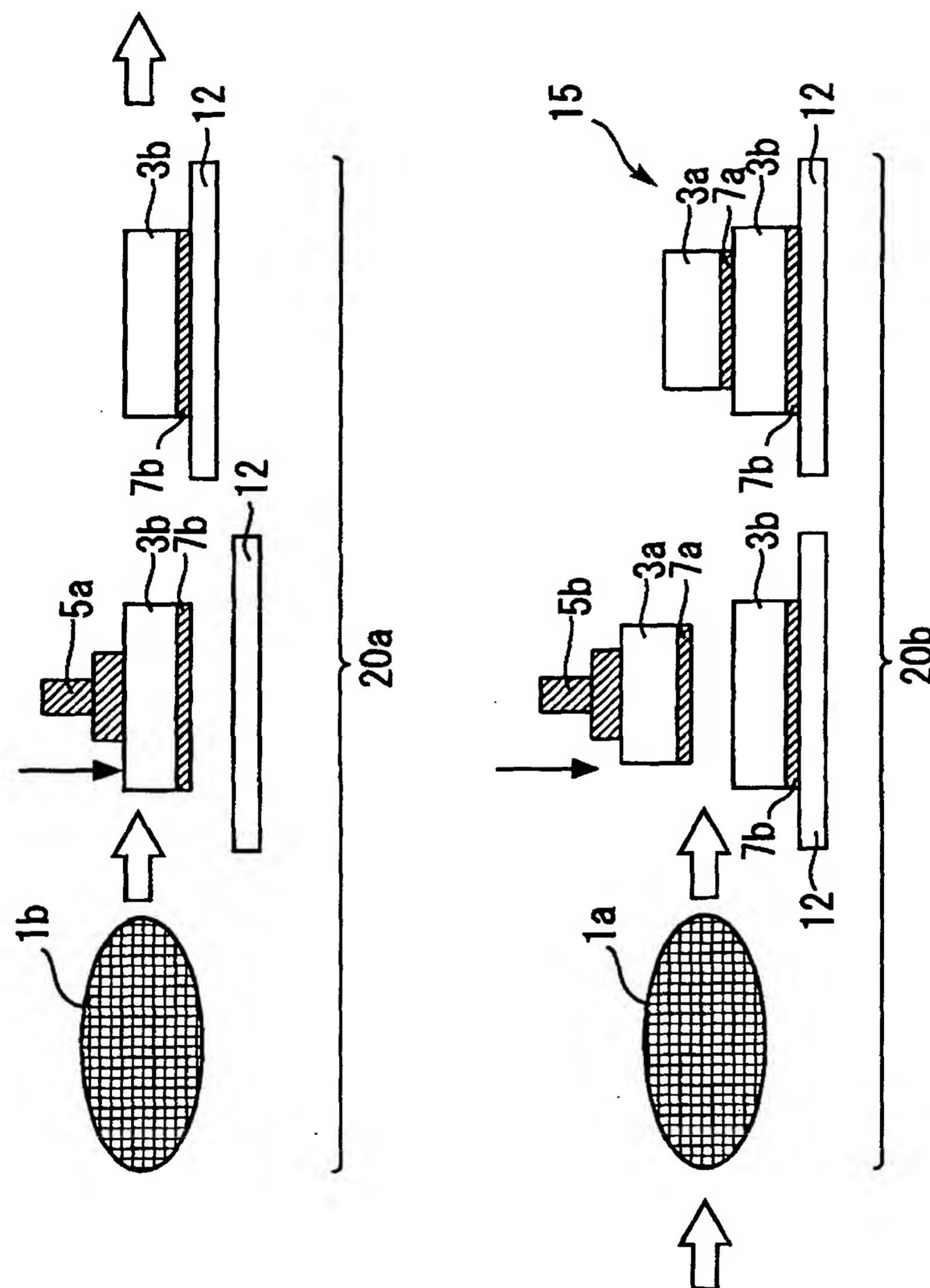
【図1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 複数のチップが積層される半導体装置の積層工程における工程時間が短く、設備の規模が比較的小さく、設備費も比較的低廉な半導体装置の製造方法、製造装置、及び、半導体装置を提供する。

【解決手段】 ダイボンダ20内に複数のウエハ1a、1bを載置する工程と、ダイボンダ20内にて、複数のウエハ1a、1bからそれぞれ切り出した複数のチップ3a、3bを、ダイボンド材7aを介して、接合する工程と、ダイボンダ20内にて、接合工程にて積層された複数のチップ11を、ダイボンド材7bを介して、ダイパッド12上に接合する工程とを備えた。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社